

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Takashi MIYAZAWA

Group Art Unit: 2673

Application No.: 10/630,860

Examiner: Unknown

Filed: July 31, 2003

Docket No.: 116746

For: ELECTRONIC CIRCUIT, ELECTRO-OPTICAL DEVICE, METHOD FOR DRIVING
ELECTRO-OPTICAL DEVICE AND ELECTRONIC APPARATUS

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

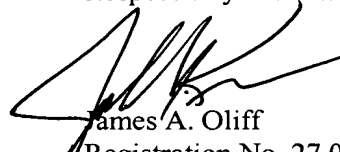
Japanese Patent Application No. 2002-230292 filed August 7, 2002.

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

John S. Kern
Registration No. 42,719

JAO:JSK/kap

Date: November 4, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**

Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 7 日
Date of Application:

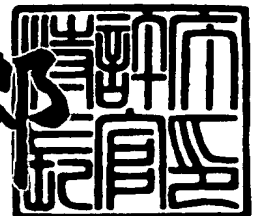
出 願 番 号 特 願 2 0 0 2 - 2 3 0 2 9 2
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 3 0 2 9 2]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 7 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 4 2 4 9

【書類名】 特許願

【整理番号】 J0091759

【提出日】 平成14年 8月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/30
H05B 33/04

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 宮澤 貴士

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器

【特許請求の範囲】

【請求項 1】 走査線が選択されたとき導通する第 1 のトランジスタと、
前記第 1 のトランジスタを介してデータ線から供給されるデータ信号に応じた電荷量を保持する容量素子と、

前記容量素子に保持された電荷量に基づいて導通状態が制御され、その導通状態に相對した電流量を電子素子に供給する第 2 のトランジスタと
を含み、

前記容量素子は、前記データ信号としての 2 値のデータ電圧及び多値のデータ電圧のいずれかが供給された場合でも前記データ信号に応じた電荷量を蓄積可能であることを特徴とする電子回路。

【請求項 2】 請求項 1 に記載の電子回路において、
前記 2 値のデータ電圧と多値のデータ電圧が同一の第 1 のスイッチングトランジスタを介して供給されることを特徴とする電子回路。

【請求項 3】 請求項 1 又は 2 に記載の電子回路において、
前記容量素子に保持された電荷量をリセットする第 3 のトランジスタを備えたことを特徴とする電子回路。

【請求項 4】 請求項 1 ～ 3 のいずれか 1 つに記載の電子回路において、
前記多値のデータ電圧に基づいた導通状態で導通し、前記第 2 のトランジスタの閾値電圧を補償するための第 4 のトランジスタを前記第 2 のトランジスタのゲート・ドレイン間に接続したことを特徴とする電子回路。

【請求項 5】 請求項 1 ～ 4 のいずれか 1 つに記載の電子回路において、
前記多値のデータ電圧に基づいた導通状態で前記電子素子の駆動タイミングを決定する第 5 のトランジスタを備えたことを特徴とする電子回路。

【請求項 6】 請求項 1 ～ 5 のいずれか 1 つに記載の電子回路において、
前記電子素子は EL 素子であることを特徴とする電子回路。

【請求項 7】 請求項 6 に記載の電子回路において、

前記 EL 素子は、発光層が有機材料で構成されていることを特徴とする電子回路。

【請求項 8】 複数の走査線と、複数のデータ線と、複数の単位回路とを含む電気光学装置であって、

前記複数の単位回路の各々に前記複数のデータ線を介してデータ信号として 2 値のデータ電圧を出力する第 1 のデータ電圧出力回路と、

前記複数の単位回路の各々に前記複数のデータ線を介して多値のデータ電圧を出力するための第 2 のデータ電圧出力回路とを備えたことを特徴とする電気光学装置。

【請求項 9】 請求項 8 に記載の電気光学装置において、

前記 2 値のデータ電圧と前記多値のデータ電圧とが同一のデータ線を介して供給されることを特徴とする電気光学装置。

【請求項 10】 請求項 8 に記載の電気光学装置において、

前記 2 値のデータ電圧と前記多値のデータ電圧はそれぞれ別々のデータ線を介して供給されることを特徴とする電気光学装置。

【請求項 11】 複数の走査線と、

前記各走査線に対して交差するように配線された複数のデータ線と、

前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電圧に応じた駆動電流を電気光学素子に供給する単位回路を含み、

画像データに基づいて前記電気光学素子をデジタル階調するための 2 値のデータ電圧又は前記電気光学素子をアナログ階調するための多値のデータ電圧のいずれかを生成し出力する制御手段を設けたことを特徴とする電気光学装置。

【請求項 12】 請求項 11 に記載の電気光学装置において、

前記単位回路は、

前記走査線が選択されたとき導通する第 1 のトランジスタと、

前記第 1 のトランジスタを介して前記データ線から供給されるデジタル階調のための 2 値のデータ電圧又はアナログ階調のための多値のデータ電圧を電荷量として保持する容量素子と、

前記容量素子に保持された電荷量に基づいて導通状態が制御され、その導通状態に相對した電流量を電気光学素子に供給する第2のトランジスタとからなることを特徴とする電気光学装置。

【請求項13】 請求項12に記載の電気光学装置において、
前記単位回路は、
前記容量素子に保持された電荷量をリセットする第3のトランジスタを備えたことを特徴とする電気光学装置。

【請求項14】 請求項12又は13に記載の電気光学装置において、
前記単位回路は、
前記アナログ階調時に導通し、前記第2のトランジスタの閾値電圧を補償するための第4のトランジスタを前記第2のトランジスタのゲート・ドレイン間に接続したことを特徴とする電気光学装置。

【請求項15】 請求項11～14のいずれか1つに記載の電気光学装置において、
前記単位回路は、
前記アナログ階調時に前記電気光学素子の駆動タイミングを決定する第5のトランジスタを備えたこと特徴とする電気光学装置。

【請求項16】 請求項11～15のいずれか1つに記載の電気光学装置において、
前記電気光学素子はEL素子であることを特徴とする電気光学装置。

【請求項17】 請求項16に記載の電気光学装置において、
前記EL素子は、発光層が有機材料で構成されていることを特徴とする電気光学装置。

【請求項18】 請求項11～17いずれか1つに記載の電気光学装置において、
前記制御手段は、
低消費電力モードの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動す

ることを特徴とする電気光学装置。

【請求項 19】 請求項 11～18 のいずれか 1 つに記載の電気光学装置において、

前記制御手段は、

画像データが第 1 の表示データの場合には、前記電気光学素子をデジタル階調するための 2 値のデータ電圧を作成し、画像データが前記第 1 の表示データより表示品位の高い第 2 の表示データの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動することを特徴とする電気光学装置。

【請求項 20】 請求項 18 又は 19 に記載の電気光学装置において、

前記制御手段は、

前記電気光学素子をデジタル階調するための 2 値のデータ電圧を生成するための 2 値データ電圧生成回路と、

前記電気光学素子をアナログ階調するための多値のデータ電圧を生成する多値データ電圧生成回路と

を備えたことを特徴とする電気光学装置。

【請求項 21】 請求項 18～20 のいずれか 1 つに記載の電気光学装置において、

前記制御手段と前記各データ線との間には、2 値データ電圧生成回路からの 2 値のデータ電圧を出力する第 1 の出力回路と、多値データ電圧生成回路からの多値のデータ電圧を出力する第 2 の出力回路とを備えるとともに、その第 1 の出力回路からの 2 値のデータ電圧と第 2 の出力回路からの多値のデータ電圧のいずれかを一方を前記データ線に出力する切り替え回路を備えたことを特徴とする電気光学装置。

【請求項 22】 請求項 11～21 のいずれか 1 つに記載の電気光学装置において、

前記デジタル階調は、時分割階調であることを特徴とする電気光学装置。

【請求項 23】 請求項 22 に記載の電気光学装置において、

前記時分割階調は、順次選択される一つの走査線に対応した前記単位回路に前

記2値のデータ電圧を書き込むと同時に前記2値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への電流供給を遮断する階調方法であることを特徴とする電気光学装置。

【請求項24】 複数の走査線と、

前記各走査線に対して交差するように配線された複数のデータ線と、

前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電圧に応じた駆動電流を電気光学素子に供給する単位回路と

を備えた電気光学装置の駆動方法において、

低消費電力モードの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動することを特徴とする電気光学装置の駆動方法。

【請求項25】 複数の走査線と、

前記各走査線に対して交差するように配線された複数のデータ線と、

前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電圧に応じた駆動電流を電気光学素子に供給する単位回路と

を備えた電気光学装置の駆動方法において、

画像データが第1の表示データの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、画像データが前記第1の表示データより表示品位の高い第2の表示データの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動することを特徴とする電気光学装置の駆動方法。

【請求項26】 請求項24又は25に記載の電気光学装置の駆動方法において、

前記デジタル階調は、時分割階調であることを特徴とする電気光学装置の駆動方法。

【請求項27】 請求項26に記載の電気光学装置の駆動方法において、

前記時分割階調は、順次選択される一つの走査線に対応した前記単位回路に前記 2 値のデータ電圧を書き込むと同時に前記 2 値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への電流供給を遮断する階調方法であることを特徴とする電気光学装置の駆動方法。

【請求項 28】 請求項 8～23 のいずれか 1 つに記載の電気光学装置を実装したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器に関するものである。

【0002】

【従来の技術】

近年、電気光学装置としての表示装置は、有機 EL 素子を用いた電気光学装置が注目されている。この種の電気光学装置には、有機 EL 素子の中間調を制御する駆動方式としてアナログ階調法があり、そのアナログ階調法の一つとして有機 EL 素子に電流を供給する駆動用トランジスタのゲート・ソース間電圧を同トランジスタの閾値電圧にして駆動する方式がある。この方式は、輝度階調に応じて DA 変換回路から供給される電圧（データ電圧）を画素回路の保持キャパシタに保持させる。保持キャパシタに充電されたデータ電圧は、薄膜トランジスタ（TFT）よりなる駆動トランジスタのゲート端子に供給される。駆動トランジスタはデータ電圧に応じた値の駆動電流を有機 EL 素子に供給する。

【0003】

【発明が解決しようとする課題】

ところで、このアナログ階調で用いられる DA 変換回路は、画素回路で採用されている薄膜トランジスタ（TFT）で構成することは精度の面で難しく、外付けの IC ドライバーを使用することが一般的であった。

【0004】

しかしながら、外付けの I C ドライバーで構成された D A 変換回路は、表示パネル上で形成される T F T ドライバー回路に比べて消費電力が大きくなる問題があった。そこで、多値（アナログ値）を生成する D A 変換回路を必要としないことから消費電力を低減を図ることができるデジタル階調法が考えられる。しかしながら、デジタル階調法は表示品位がアナログ階調法に比べて劣るという問題があった。

【0005】

本発明は、上記問題点を解消するためになされたものであって、その目的は低消費電力と十分な表示品位を両立することができる電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器を提供することにある。

【0006】

【課題を解決するための手段】

本発明における電子回路は、走査線が選択されたとき導通する第 1 のトランジスタと、前記第 1 のトランジスタを介してデータ線から供給されるデータ信号に応じた電荷量を保持する容量素子と、前記容量素子に保持された電荷量に基づいて導通状態が制御され、その導通状態に相対した電流量を電子素子に供給する第 2 のトランジスタとを含み、前記容量素子は、前記データ信号としての 2 値のデータ電圧及び多値のデータ電圧のいずれかが供給された場合でも前記データ信号に応じた電荷量を蓄積可能した。

【0007】

これによれば、2 値のデータ電圧と多値のデータ電圧を使い分けることによって、例えば、デジタル階調と、アナログ階調の 2 通りの方法で中間調を表現することができる。その結果、例えば、表示品位をあまり必要とせず低消費電力を優先したい場合にはデジタル階調を選択し、表示品位を必要とする場合にはアナログ階調を選択して中間調を表現することができる。

【0008】

この電子回路において、2 値のデータ電圧と多値のデータ電圧が同一の第 1 のスイッチングトランジスタを介して供給される。

これによれば、例えば、前記デジタル階調及びアナログ階調を行う場合にも、

第1のスイッチングトランジスタを介してそれぞれデジタル階調のための2値のデータ電圧及びアナログ階調のための多値のデータ電圧が容量素子にそれぞれ供給される。

【0009】

この電子回路において、容量素子に保持された電荷量をリセットする第3のトランジスタを備えた。

これによれば、容量素子に保持された2値のデータ電圧は第3のトランジスタによってリセットされ、容量素子は次の新たな2値のデータ電圧の供給を待つ。

【0010】

この電子回路において、多値のデータ電圧に基づいた導通状態で導通し、前記第2のトランジスタの閾値電圧を補償するための第4のトランジスタを前記第2のトランジスタのゲート・ドレイン間に接続した。

【0011】

これによれば、第4のトランジスタによって、第2のトランジスタの閾値電圧の製造ばらつきが補償され、第2のトランジスタは、閾値電圧に左右されることなく多値のデータ電圧に応じた導通状態になる。

【0012】

この電子回路において、多値のデータ電圧に基づいた導通状態で前記電子素子の駆動タイミングを決定する第5のトランジスタを備えた。

これによれば、第5のトランジスタによって第2のトランジスタの多値のデータ電圧に基づく導通状態に応じた電流量を電子素子に供給し駆動を開始される。

【0013】

この電子回路において、電子素子はEL素子である。

これによれば、EL素子は第2のトランジスタの導通状態に相対して発光する。

【0014】

この電子回路において、EL素子は、発光層が有機材料で構成されている。

これによれば、EL素子は、発光層が有機材料で形成された有機EL素子である。

【0015】

本発明における電気光学装置は、複数の走査線と、複数のデータ線と、複数の単位回路とを含む電気光学装置であって、前記複数の単位回路の各々に前記複数のデータ線を介してデータ信号として2値のデータ電圧を出力する第1のデータ電圧出力回路と、前記複数の単位回路の各々に前記複数のデータ線を介して多値のデータ電圧を出力するための第2のデータ電圧出力回路とを備えている。

【0016】

これによれば、第1のデータ電圧出力回路から2値のデータ電圧を入力すればデジタル階調が、第2のデータ電圧出力回路から多値のデータ電圧を入力すればアナログ階調が行うことができる。

【0017】

この電気光学装置において、2値のデータ電圧と多値のデータ電圧とが同一のデータ線を介して供給される。

これによれば、デジタル階調及びアナログ階調を行う場合、いずれの場合にも同一のデータ線を介して2値のデータ電圧と多値のデータ電圧とが供給される。

【0018】

この電気光学装置において、前記2値のデータ電圧と前記多値のデータ電圧はそれぞれ別々のデータ線を介して供給される。

これによれば、デジタル階調を行う場合とアナログ階調を行う場合とで、それぞれ異なるデータ線を介して単位回路に2値のデータ電圧と多値のデータ電圧とが供給される。

【0019】

本発明における電気光学装置は、複数の走査線と、前記各走査線に対して交差するように配線された複数のデータ線と、前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電圧に応じた駆動電流を電気光学素子に供給する単位回路を含み、画像データに基づいて前記電気光学素子をデジタル階調するための2値のデータ電圧又は前記電気光学素子をアナログ階調するための多値のデータ電圧のいずれかを生成し出力する制御手段を設けた。

【0020】

これによれば、制御手段は、電気光学素子に対してデジタル階調と、アナログ階調の2通りの方法で中間調を表現することができる。その結果、例えば、表示品位をあまり必要とせず低消費電力を優先したい場合にはデジタル階調を選択し、表示品位を必要とする場合にはアナログ階調を選択して中間調を表現することができる。

【0021】

この電気光学装置において、単位回路は、前記走査線が選択されたとき導通する第1のトランジスタと、前記第1のトランジスタを介して前記データ線から供給されるデジタル階調のための2値のデータ電圧又はアナログ階調のための多値のデータ電圧を電荷量として保持する容量素子と、前記容量素子に保持された電荷量に基づいて導通状態が制御され、その導通状態に相對した電流量を電気光学素子に供給する第2のトランジスタとからなる。

【0022】

これによれば、容量素子はデジタル階調のときは2値のデータ電圧を保持し、第2のトランジスタはその保持した2値のデータ電圧に基づいて導通・非導通になる。容量素子はアナログ階調のときは多値のデータ電圧を保持し、第2のトランジスタはその保持した多値のデータ電圧に相對した導通状態になる。

【0023】

この電気光学装置において、単位回路は前記容量素子に保持された電荷量をリセットする第3のトランジスタを備えた。

これによれば、容量素子に保持された2値のデータ電圧は第3のトランジスタによってリセットされ、容量素子は次の新たな2値のデータ電圧の供給を待つ。

【0024】

この電気光学装置において、単位回路は前記アナログ階調時に導通し、前記第2のトランジスタの閾値電圧を補償するための第4のトランジスタを前記第2のトランジスタのゲート・ドレイン間に接続した。

【0025】

これによれば、第4のトランジスタによって、第2のトランジスタの閾値電圧

の製造ばらつきが補償され、第2のトランジスタは、閾値電圧に左右されることなく多値のデータ電圧に応じた導通状態になる。

【0026】

この電気光学装置において、単位回路が前記アナログ階調時に前記電気光学素子の駆動タイミングを決定する第5のトランジスタを備えた。

これによれば、第5のトランジスタによって第2のトランジスタの多値のデータ電圧に基づく導通状態に相對した電流量を電気光学素子に供給し発光を開始される。

【0027】

この電気光学装置において、電気光学素子はEL素子である。

これによれば、EL素子は第2のトランジスタの導通状態に相對して発光する。

【0028】

この電気光学装置において、EL素子は、発光層が有機材料で構成されている。

これによれば、EL素子は発光層が有機材料で形成された有機EL素子である。

【0029】

この電気光学装置において、前記制御手段は、低消費電力モードの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動する。

【0030】

これによれば、制御手段によって、電気光学素子に対して低消費電力モードの場合にはデジタル階調で、非低消費電力モードの場合にはアナログ階調で中間調を表現することができる。

【0031】

この電気光学装置において、前記制御手段は、画像データが第1の表示データの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作

成し、画像データが前記第1の表示データより表示品位の高い第2の表示データの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動する。

【0032】

これによれば、制御手段によって、表示品位を必要としない場合には電気光学素子に対してデジタル階調で、表示品位を必要とする場合にはアナログ階調で中間調を表現することができる。

【0033】

この電気光学装置において、制御手段は、電気光学素子をデジタル階調するための2値のデータ電圧を生成するための2値データ電圧生成回路と、電気光学素子をアナログ階調するための多値のデータ電圧を生成する多値データ電圧生成回路とを備えた。

【0034】

これによれば、2値データ電圧生成回路にてデジタル階調するための2値のデータ電圧が生成され、多値データ電圧生成回路にてアナログ階調するための多値のデータ電圧が生成される。

【0035】

この電気光学装置において、制御手段と前記各データ線との間には、2値データ電圧生成回路からの2値のデータ電圧を出力する第1の出力回路と、多値データ電圧生成回路からの多値のデータ電圧を出力する第2の出力回路とを備えたとともに、その第1の出力回路からの2値のデータ電圧と第2の出力回路からの多値のデータ電圧のいずれかを一方を前記データ線に出力する切り替え回路を備えた。

【0036】

これによれば、切り替え回路によってデジタル階調のときには第1の出力回路から2値のデータ電圧が、アナログ階調のときには第2の出力回路から多値のデータ電圧がデータ線に出力される。

【0037】

この電気光学装置において、デジタル階調は、時分割階調である。

これによれば、電気光学素子は時分割階調にて中間調が制御される。

この電気光学装置において、時分割階調は、順次選択される一つの走査線に対応した前記単位回路に前記 2 値のデータ電圧を書き込むと同時に前記 2 値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への前記電流供給を遮断する階調方法である。

【0038】

これによれば、電気光学素子に対して、順次選択される一つの走査線に対応した前記単位回路に前記 2 値のデータ電圧を書き込まれると同時に前記 2 値のデータ電圧に応じた電流レベルの電流が供給され、所定時間後にその電流供給が遮断されることによって、中間調が制御される。

【0039】

本発明における電気光学装置の駆動方法は、複数の走査線と、前記各走査線に対して交差するように配線された複数のデータ線と、前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電圧に応じた駆動電流を電気光学素子に供給する単位回路とを備えた電気光学装置の駆動方法において、低消費電力モードの場合には、前記電気光学素子をデジタル階調するための 2 値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動する。

【0040】

これによれば、電気光学素子は低消費電力モードの場合にはデジタル階調で、非低消費電力モードの場合にはアナログ階調で中間調が制御される。

本発明における電気光学装置の駆動方法は、複数の走査線と、前記各走査線に対して交差するように配線された複数のデータ線と、前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電圧に応じた駆動電流を電気光学素子に供給する単位回路とを備えた電気光学装置の駆動方法において、画像データが第 1 の表示データの場合には、前記電気光学素子をデジタル階調するための 2 値のデータ電圧を作成し、画像データが前記第 1 の表示データより表示品位の高い第 2 の表示データの場合には前記電

気光学素子をアナログ階調するための多値のデータ電圧を作成して、前記電気光学素子を駆動する。

【0041】

これによれば、電気光学素子は表示品位を必要としない場合にはデジタル階調で、表示品位を必要とする場合にはアナログ階調で中間調が制御される。

この電気光学装置の駆動方法において、デジタル階調は、時分割階調である。

【0042】

これによれば、電気光学素子は時分割階調にて中間調が制御される。

この電気光学装置の駆動方法において、前記時分割階調は、順次選択される一つの走査線に対応した前記単位回路に前記2値のデータ電圧を書き込むと同時に前記2値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への前記電流供給を遮断する階調方法である。

【0043】

これによれば、電気光学素子に対して、順次選択される一つの走査線に対応した前記単位回路に前記2値のデータ電圧を書き込まれると同時に前記2値のデータ電圧に応じた電流レベルの電流が供給され、所定時間後にその電流供給が遮断されることによって、中間調が制御される。

【0044】

本発明における電子機器は、請求項8～22のいずれか1つに記載の電気光学装置を実装した。

これによれば、低消費電力と十分な表示品位を両立することができる。

【0045】

【発明の実施の形態】

(第1実施形態)

以下、本発明を具体化した第1実施形態を図1～図3に従って説明する。

【0046】

図1は、電気光学装置としての有機ELディスプレイ10の電氣的構成を示すブロック回路図を示す。図1において、有機ELディスプレイ10は、中間調を

デジタル階調及びアナログ階調のいずれの方法でも表現できるディスプレイである。詳述すると、本実施形態では、デジタル階調は時分割階調であって、その時分割階調法のなかの、順次選択される一つの走査線に対応した画素回路に前記2値のデータ電圧を書き込むと同時に前記2値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への前記電流供給を遮断する階調方法で64階調を表現するようになっている。又、アナログ階調においては、電気光学素子に多値のデータ電圧に応じた電流レベルの電流を供給する駆動用トランジスタのゲート・ソース間電圧を同トランジスタの閾値電圧にして駆動する方式で階調を表現するようになっている。

【0047】

因みに、この時分割階調は、図3に示すように、1画像を表示するための走査（1フレーム）を、6つに分割しその分割されたフレームをサブフレームSF1～SF6としている。そして、各サブフレームSF1～SF6において、各走査線を順番に選択すると同時にその選択れた走査線上の有機EL素子を点灯させ一定時間（発光時間）後に個々に順番に消灯させるようにした方式である。

【0048】

各サブフレームSF1～SF6はそれぞれ発光時間（発光期間）TL1～TL6からなり、これら発光時間（発光期間）TL1～TL6は以下のように設定している。

$$32 TL1 = 16 TL2 = 8 TL3 = 4 TL4 = 2 TL5 = TL6$$

つまり、各発光時間TL1～TL6は、

$$TL1 : TL2 : TL3 : TL4 : TL5 : TL6 = 1 : 2 : 4 : 8 : 16 : 32$$

となる時間比を設定している。

【0049】

そして、「7」の輝度階調を得る場合には、第1～第3サブフレームSF1～SF3の時に、画素回路を駆動させて有機EL素子を発光させ、第4～第6サブフレームSF4～SF6の時に、画素回路を停止させて有機EL素子を消灯させる。

【0050】

又、「32」の輝度階調を得る場合には、第6サブフレームSF6の時に、画

素回路を駆動させて有機EL素子を発光させ、第1～第5サブフレームSF1～SF5の時に、画素回路を停止させて有機EL素子を消灯させる。

【0051】

さらに、「44」の輝度階調を得る場合には、第3、第4及び第6サブフレームSF3、SF4、SF6の時に、画素回路を駆動させて有機EL素子を発光させ、第1、第2及び第5サブフレームSF1、SF2、SF5の時に、画素回路を停止させて有機EL素子を消灯させる。

【0052】

このようにして、1フレーム毎に各サブフレームSF1～SF6を適宜選択することで、中間調を得ることができる。

図1において、有機ELディスプレイ10は、表示パネル部11、走査線駆動回路12、データ線駆動回路13及び制御回路14を備えている。

【0053】

有機ELディスプレイ10の表示パネル部11、走査線駆動回路12、データ線駆動回路13及び制御回路14は、それぞれが独立した電子部品によって構成されていてもよい。例えば、走査線駆動回路12、データ線駆動回路13及び制御回路14が1チップの半導体集積回路装置によって構成されていてもよい。また、表示パネル部11、走査線駆動回路12、データ線駆動回路13及び制御回路14の全部若しくは一部が一体となった電子部品として構成されていてもよい。例えば、表示パネル部11に、データ線駆動回路13と走査線駆動回路12とが一体的に形成されていてもよい。走査線駆動回路12、データ線駆動回路13及び制御回路14の全部若しくは一部がプログラマブルなICチップで構成され、その機能がICチップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

【0054】

表示パネル部11は、図1に示すように、マトリクス状に配列された複数の電子回路又は単位回路としての画素回路20を有している。つまり、各画素回路20は、その列方向に沿ってのびる複数(m本)のデータ線X1～Xm(mは整数)と、行方向に沿ってのびる複数(n本)の走査線Y1～Yn(nは整数)との

交差部に対応して配置されている。そして、各画素回路 20 は、対応する各データ線 $X_1 \sim X_m$ と各走査線 $Y_1 \sim Y_n$ との間にそれぞれ接続されることにより、マトリクス状に配列されている。各画素回路 20 には電子素子又は電気光学素子として発光層が有機材料で構成された有機 EL 素子 21 を有している。尚、画素回路 20 内に形成れる後記するトランジスタは、通常は薄膜トランジスタ (TFT) で構成している。

【0055】

図 2 は、画素回路 20 の内部回路構成を説明するための電気回路図を示す。尚、説明の便宜上、 m 番目のデータ線 X_m と n 番目の走査線 Y_n との点に配置され、両データ線 X_m と走査線 Y_n との間に接続された画素回路 20 について説明する。

【0056】

画素回路 20 は、駆動用トランジスタ Q_1 、スイッチング用トランジスタ Q_2 、リセット用トランジスタ Q_3 、補償用トランジスタ Q_4 、開始用トランジスタ Q_5 、容量素子としての保持キャパシタ C_1 及びコンデンサ C_2 を備えている。第 1 のトランジスタとしてのスイッチング用トランジスタ Q_2 、第 3 のトランジスタとしてのリセット用トランジスタ Q_3 、第 4 のトランジスタとしての補償用トランジスタ Q_4 及び第 5 のトランジスタとしての開始用トランジスタ Q_5 は N チャンネル FET よりなる構成されている。第 2 のトランジスタとしての駆動用トランジスタ Q_1 は P チャンネル FET よりなる構成されている。

【0057】

駆動用トランジスタ Q_1 は、ドレインが開始用トランジスタ Q_5 を介して前記有機 EL 素子 21 の陽極に接続され、ソースが電源電圧 V_{OEL} が供給される電源線 L_1 に接続されている。駆動用トランジスタ Q_1 のゲートと電源線 L_1 との間には、保持キャパシタ C_1 が接続されている。又、駆動用トランジスタ Q_1 のゲートとドレインとの間には、補償用トランジスタ Q_4 が接続されている。補償用トランジスタ Q_4 のゲートは、走査線 Y_n を構成する第 2 の副走査線 Y_{n2} に接続され、その第 2 の副走査線 Y_{n2} から第 2 走査信号 SC_{n2} が入力される。

【0058】

さらに、駆動用トランジスタQ1のゲートは、コンデンサC2及びスイッチング用トランジスタQ2を介して前記データ線Xmに接続されている。スイッチング用トランジスタQ2のゲートは、走査線Ynを構成する第1の副走査線Yn1に接続され、その第1の副走査線Yn1から第1走査信号SCn1が入力される。リセット用トランジスタQ3は、前記保持キャパシタC1に対して並列に接続されている。リセット用トランジスタQ3のゲートは、前記走査線Ynを構成する第4の副走査線Yn4に接続され、その第4の副走査線Yn4からリセット信号SRESTnが入力される。開始用トランジスタQ5のゲートは、前記走査線Ynを構成する第3の副走査線Yn3に接続され、その第3の副走査線Yn3から第3走査信号SCn3が入力される。

【0059】

そして、このように構成された画素回路20において、順次選択される一つの走査線に対応した画素回路20に2値のデータ電圧を書き込むと同時に2値のデータ電圧に応じた電流レベルを有する電流を有機EL素子21に供給開始し、所定時間後に有機EL素子21への前記電流供給を遮断して行う時分割階調が以下のように行われる。図4に示すように、各サブフレームSF1～SF6において、第2走査信号SCn2及び第3走査信号SCn3に基づいて補償用トランジスタQ4が非導通（オフ）状態及び開始用トランジスタQ5が導通（オン）状態に保持される。そして、各サブフレームSF1～SF6において、スイッチング用トランジスタQ2とリセット用トランジスタQ3とを所定のタイミングでオン・オフ制御する第1走査信号SCn1及びリセット信号SRESTnを出力することによってデジタル階調による中間調を表現するようになっている。

【0060】

つまり、補償用トランジスタQ4が非導通状態及び開始用トランジスタQ5が導通状態に保持される状態において、第1の副走査線Yn1に走査信号SCn1が出力されると、スイッチング用トランジスタQ2はオン状態となる。スイッチング用トランジスタQ2がオン状態となると、データ線Xmから出力されている2値、すなわち、「Lレベル」又は「Hレベル」のいずれかの値となるデジタルデータVDGDATA_mに応じた電荷量が前記保持キャパシタC1に蓄積される。この

「Lレベル」又は「Hレベル」からなるデジタルデータ $VDGDATA_m$ は、前記駆動用トランジスタ Q_1 をオン状態又はオフ状態のいずれかにするためのデータである。尚、デジタルデータ $VDGDATA_m$ が保持された保持キャパシタ C_1 は、走査信号 SC_n が消失しスイッチング用トランジスタ Q_2 がオフ状態になっても先に蓄積したデジタルデータ $VDGDATA_m$ を保持する。

【0061】

そして、前記駆動用トランジスタ Q_1 は、蓄積されるデジタルデータ $VDGDATA_m$ の内容に基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動用トランジスタ Q_1 がオン状態のとき、有機EL素子 21は駆動電流が供給され発光する。反対に、駆動用トランジスタ Q_1 がオフ状態のとき、有機EL素子 21は駆動電流の供給が遮断され発光を停止する。

【0062】

次に、第4の副走査線 Y_n 4にリセット信号 $SREST_n$ が出力されると、リセット用トランジスタ Q_3 がオフ状態からオン状態となる。リセット用トランジスタ Q_3 がオン状態となると、電源線 L_1 から電源電圧 $VOEL$ が同リセット用トランジスタ Q_3 を介して前記保持キャパシタ C_1 に印加され先のデジタルデータ $VDGDATA_m$ は消去されるとともに、駆動用トランジスタ Q_1 のゲートは電源電圧 $VOEL$ の電位となる。つまり、保持キャパシタ C_1 はリセットされる。

【0063】

保持キャパシタ C_1 がリセットされると、駆動用トランジスタ Q_1 はオフ状態となり、先のデジタルデータ $VDGDATA_m$ に基づいて発光していた有機EL素子 21がその発光が停止する。そして、次に実行される発光動作を待つ。つまり、時分割階調が行われる時、各画素回路 20の有機EL素子 21の発光期間 $TL_1 \sim TL_6$ は、走査信号 SC_n が出力されてからリセット信号 $SREST_n$ が出力されるまでの間が発光期間となる。

【0064】

一方、画素回路 20において、駆動用トランジスタ Q_1 のゲート・ソース間電圧を同トランジスタ Q_1 の閾値電圧にして駆動する方式のアナログ階調が以下のように行われる。図5に示すように、リセット信号 $SREST_n$ に基づいてリセット

用トランジスタ Q3 が非導通状態に保持される。そして、スイッチング用トランジスタ Q2、補償用トランジスタ Q4、開始用トランジスタ Q5 とを所定のタイミングでオン・オフ制御する第 1～第 3 走査信号 SCn1～SCn3 を出力することによってアナログ階調による中間調を表現するようになっている。

【0065】

つまり、リセット用トランジスタ Q3 が非導通状態に保持される状態において、第 1 の副走査線 Yn1 に H レベルの走査信号 SCn1 が出力されると、スイッチング用トランジスタ Q2 はオン状態となる。この時、この時データ線 Xm にかかっているバイアス電圧 ($=V_{OEL}$) が、スイッチング用トランジスタ Q2 を介してコンデンサ C2 に印加される。さらに、前のサイクル周期 (H レベルの走査信号 SCn1 が出力前) において、第 3 の副走査線 Yn3 に出力されている H レベルの走査信号 SCn3 によって、開始用トランジスタ Q5 はオン状態にあるので、有機 EL 素子 21 は電流が流れる状態にある。その結果、駆動用トランジスタ Q1 のドレイン電位は、有機 EL 素子 21 の接地電位に対して十分に近い状態にある。従って、駆動用トランジスタ Q1 のドレイン電位は、十分マイナス方向に振れており、駆動用トランジスタ Q1 はオープン状態を確保される。

【0066】

続いて、第 2 の副走査線 Yn2 に出力されている走査信号 SCn2 が L レベルから H レベルになると、補償用トランジスタ Q4 はオン状態となる。又、第 3 の副走査線 Yn3 に走査信号 SCn3 が消失して (L レベルになって)、開始用トランジスタ Q5 はオフ状態となる。

【0067】

補償用トランジスタ Q4 のオン及び開始用トランジスタ Q5 のオフによって、駆動用トランジスタ Q1 のゲートに、電源電圧 V_{OEL} の電流が回りこみ、同ゲートの電位を押し上げる。そして、駆動用トランジスタ Q1 は、ゲートにかかる電圧が、電源電圧 V_{OEL} から同駆動用トランジスタ Q1 の閾値電圧 V_{th} を引いた電圧 $V_g (=V_{OEL}-V_{th})$ まで押し上げられると、オフする。

【0068】

次に、第 2 の副走査線 Yn2 の走査信号 SCn2 が L レベルになると、補償用ト

ランジスタQ4はオフ状態となる。この時点で、駆動用トランジスタQ1は、ゲートにかかる電圧 $V_g (=V_{OEL}-V_{th})$ が保持される。

【0069】

駆動用トランジスタQ1のゲートに電圧 $V_g (=V_{OEL}-V_{th})$ が保持されると、データ線 X_m からアナログデータ電圧 $V_{ANDATAm} (<V_{OEL})$ が供給される。このとき、駆動用トランジスタQ1及び補償用トランジスタQ4はオフ状態となっているため、コンデンサC2の駆動用トランジスタQ1のゲート側はフローティング状態にある。その結果、コンデンサC2と保持キャパシタC1の容量カップリングによって、駆動用トランジスタQ1のゲートに電圧 V_g は、アナログデータ電圧 $V_{ANDATAm}$ に応じて下がる。この状態で、第1の副走査線 Y_{n1} の走査信号 SC_{n1} がLレベルになってスイッチング用トランジスタQ2がオフする。スイッチング用トランジスタQ2のオフによって、駆動用トランジスタQ1のゲートに電圧 V_g は、アナログデータ電圧 $V_{ANDATAm}$ に応じて下がった電位に保持される。

【0070】

続いて、第3の副走査線 Y_{n3} からHレベルの走査信号 SC_{n3} が出力されて、開始用トランジスタQ5がオン状態する。開始用トランジスタQ5のオンによって、駆動用トランジスタQ1は、このアナログデータ電圧 $V_{ANDATAm}$ の値に応じた導通状態となり、そのアナログデータ電圧 $V_{ANDATAm}$ に応じた駆動電流が有機EL素子21に供給される。有機EL素子21はアナログデータ電圧 $V_{ANDATAm}$ に応じた輝度で発光する。

【0071】

走査線駆動回路12は、前記複数の走査線 $Y_1 \sim Y_n$ の中の1本を選択、即ち走査信号を出力してその選択された走査線に接続された画素回路20群を駆動するための回路である。走査線駆動回路12は、制御回路14からの各種信号に基づいて各走査線 $Y_1 \sim Y_n$ に対して所定のタイミングで走査信号 $SC_1 \sim SC_n$ をそれぞれ出力する。

【0072】

詳述すると、前記したように、順次選択される一つの走査線に対応した画素回

路 20 に 2 値のデータ電圧を書き込むと同時に 2 値のデータ電圧に応じた電流レベルの電流を有機 EL 素子 21 に供給開始し、所定時間後に有機 EL 素子 21 への電流供給を遮断する階調方法において、1 フレームを構成する各サブフレーム SF1 ~ SF6 において、各走査線 Y1 ~ Yn 上の画素回路群を順次駆動させる必要がある。そのため、走査線駆動回路 12 は、1 フレームの画像を表示するために、各サブフレーム SF1 ~ SF6 の期間において、各走査線 Y1 ~ Yn を順番に選択するように走査信号 SC1 ~ SCn を順番に生成し出力するようになっている。また、走査線駆動回路 12 は、各走査線 Y1 ~ Yn に対して対応する走査信号 SC1 ~ SCn をそれぞれ出力し所定時間（発光時間）経過すると、その対応する走査線 Y1 ~ Yn にリセット信号 SREST1 ~ SRESTn をそれぞれ出力するようになっている。

【0073】

つまり、各サブフレーム SF1 ~ SF6 において、それぞれ発光時間 TL1 ~ TL6 だけ発光させるように設定している。

一方、走査線駆動回路 12 は、前記したアナログ階調において、前記したように制御回路 14 からの各種信号に基づいて各走査線 Y1 ~ Yn に対して所定のタイミングで走査信号 SC1 ~ SCn をそれぞれ出力する。

【0074】

データ線駆動回路 13 は、前記各データ線 X1 ~ Xm 毎に、図 2 に示すように第 1 のデータ電圧出力回路としてのデジタルデータ電圧出力回路 13a と第 2 のデータ電圧出力回路としてのアナログデータ電圧出力回路 13b を備えている。デジタルデータ電圧出力回路 13a は、制御回路 14 からの前記デジタルデータ VDGDAT1 ~ VDGDATm を入力し、このデジタルデータ VDGDAT1 ~ VDGDATm を前記走査信号 SC1 ~ SCn に同期して第 1 スイッチ Q11 を介して対応するデータ線 X1 ~ Xm に出力される。一方、アナログデータ電圧出力回路 13b は、制御回路 14 から前記アナログデータ電圧 VANDAT1 ~ VANDATm を入力し、このアナログデータ電圧 VANDAT1 ~ VANDATm を前記走査信号 SC1 ~ SCn に同期して第 2 スイッチ Q12 を介して対応するデータ線 X1 ~ Xm に出力する。

【0075】

第1スイッチQ11及び第2スイッチQ12は、デジタルデータVDGDATA1～VDGDATA_mとアナログデータ電圧VANDATA1～VANDATA_mのいずれかを選択し各データ線X1～X_mに出力させるスイッチであって、NチャネルFETよりな構成されている。そして、第1スイッチQ11はゲート端子に第1制御信号SG1が制御回路14から入力されるとオンし、デジタルデータVDGDATA1～VDGDATA_mを各データ線X1～X_mに出力させる。第2スイッチQ12はゲート端子に第2制御信号SG2が制御回路14から入力されるとオンし、アナログデータ電圧VANDATA1～VANDATA_mを各データ線X1～X_mに出力させる。

【0076】

尚、各データ線X1～X_mは、デジタルデータVDGDATA1～VDGDATA_mや、アナログデータ電圧VANDATA1～VANDATA_mが供給されていない状態では、バイアス電圧（電源電圧VOEL）が供給されている。

【0077】

つまり、前記走査線駆動回路12が1つの走査線に走査信号を出力した時、デジタル階調においてはデータ線駆動回路13はその選択された走査線上の各画素回路20に対してデジタルデータVDGDATA1～VDGDATA_mを出力する。また、アナログ階調においてはデータ線駆動回路13はその選択された走査線上の各画素回路20に対してアナログデータ電圧VANDATA1～VANDATA_mを出力する。

【0078】

制御手段、2値データ電圧生成回路、多値データ電圧生成回路としての制御回路14は、図示しない外部装置から画像データDを入力し、同画像データDに基づいて中間調の制御をデジタル階調で行うかアナログ階調で行うかを判断する。本実施形態では、画像データDが文字等の静止画を表示する第1の表示データとしての画像データの場合には、デジタル階調で中間調の制御を行う。又、画像データDがアニメ、ムービーのような動画を表示する第2の表示データとしての画像データの場合には、アナログ階調で中間調の制御を行う。言い換えると、制御回路14は、静止画等も表示品位を特に必要としない場合にはデジタル階調（時分割階調）で、動画等の表示品位を必要とする場合にはアナログ階調で行うように走査線駆動回路12及びデータ線駆動回路13を制御する。

【0079】

そして、制御回路14は、時分割階調を実行する場合、1フレームの画像データDを有機ELディスプレイ10で表現するために、1フレームを6つに分割しその分割された6つのサブフレームSF1～SF6を使って1つの画像を64階調で表現する。

【0080】

制御回路14は、1フレームの画像データDについて、データ線駆動回路13に対して第1～第6サブフレームSF1～SF6に対する各走査線Y1～Yn上の各画素回路20に供給するデジタルデータVDGDATA1～VDGDATAmを生成する。このとき、制御回路14は、「1」の階調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第1サブフレームSF1に、「2」の階調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第2サブフレームSF2に、「4」の階調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第3サブフレームSF3にそれぞれ作成する。さらに、制御回路14は、「8」の階調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第4サブフレームSF4に、「16」の階調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第5サブフレームSF5にそれぞれ作成する。さらにまた、制御回路14は、「32」の階調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第6サブフレームSF6に作成する。

【0081】

そして、これら第1～第6サブフレームSF1～SF6のデジタルデータVDGDATA1～VDGDATAmをデータ線駆動回路13のデジタルデータ電圧出力回路13aに所定のタイミングで出力する。この時、制御回路14はデータ線駆動回路13の第1スイッチQ11に対して第1制御信号SG1を出力する。

【0082】

制御回路14は、デジタル階調において、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択し画素回路20を制御するための走査信号SCn(SCn1～SCn3)を順番に出力させるタイミングを制御する。

【0083】

又、走査線駆動回路12に対して各サブフレームSF1～SF6における各走査線Y1～Ynに対するリセット信号SREST1～SRESTnを順番に出力させるタイミングを制御する。因みに、走査線駆動回路12は、第1サブフレームSF1においては、走査信号SC1～SCnが出力されてTL1時間経過後にリセット信号SREST1～SRESTnがそれぞれ出力するようになっている。因みに、第2サブフレームSF2においては、走査信号SCn1が出力されてTL2(=2×TL1)時間経過後に、第3サブフレームSF3においては、走査信号SCn1が出力されてTL3(=4×TL1)時間経過後に、第4サブフレームSF4においては、走査信号SCn1が出力されてTL4(=8×TL1)時間経過後に、リセット信号SREST1～SRESTnがそれぞれ出力するようになっている。又、第5サブフレームSF5においては、走査信号SCn1が出力されてTL5(=16×TL1)時間経過後に、第6サブフレームSF6においては、走査信号SCn1が出力されてTL6(=32×TL1)時間経過後に、リセット信号SREST1～SRESTnがそれぞれ出力するようになっている。

【0084】

一方、制御回路14は、アナログ階調を実行する場合、1フレームの画像データDを有機ELディスプレイ10で表現するために、順番に選択される各走査線Y1～Yn毎に、その走査線Y1～Ynに接続される各画素回路20に対するアナログデータ電圧VANDATA1～VANDATAmを1フレームの画像データDに基づいて生成する。制御回路14は、その生成したアナログデータ電圧VANDATA1～VANDATAmを所定のタイミングでデータ線駆動回路13のアナログデータ電圧出力回路13bに出力する。この時、制御回路14はデータ線駆動回路13の第2スイッチQ12に対して第2制御信号SG2を出力する。

【0085】

制御回路14は、アナログ階調において、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択しその選択された走査線上の各画素回路20を制御するための走査信号SCn(SCn1～SCn3)を順番に出力させるタイミングを制御する。

【0086】

次に、上記のように構成した有機ELディスプレイ10の作用を説明する。

制御回路14は、外部装置から画像データDが入力されると、その画像データDが静止画又は動画のデータかを判断する。そして、画像データDが静止画のデータの場合、デジタル階調モードとなる。画像データDが動画のデータの場合、アナログ階調モードとなる。

【0087】

(デジタル階調モード)

まず、デジタル階調モードについて説明する。制御回路14は、1フレームの画像データDについて、データ線駆動回路13に対して第1～第6サブフレームSF1～SF6に対する各走査線Y1～Yn上の各画素回路20に供給するデジタルデータVDGDATA1～VDGDATAmを生成する。そして、これら第1～第6サブフレームSF1～SF6のデジタルデータVDGDATA1～VDGDATAmをデータ線駆動回路13のデジタルデータ電圧出力回路13aに所定のタイミングで出力する。この時、制御回路14はデータ線駆動回路13の第1スイッチQ11に対して第1制御信号SG1を出力する。

【0088】

又、制御回路14は、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択し画素回路20を制御するための走査信号SCn (SCn1～SCn3) を順番に出力させるタイミングを制御する。さらに、制御回路14は、走査線駆動回路12に対して各サブフレームSF1～SF6における各走査線Y1～Ynに対するリセット信号SREST1～SRESTnを順番に出力させるタイミングを制御する。

【0089】

そして、走査線駆動回路12は、第1サブフレームSF1のための走査信号SCn (SCn1～SCn3) を順次出力し各走査線Ynを順番に選択していく。また、走査線駆動回路12は、走査信号SCn出力してTL1時間経過後、リセット信号SRESTnを出力する。

【0090】

一方、データ線駆動回路 13 は、各走査線 Y_n が選択される毎に、その選択された走査線上の各画素回路 20 に第 1 サブフレーム SF_1 におけるデジタルデータ $VDGDATA_1 \sim VDGDATA_m$ を順次出力する。従って、選択された走査線上の各画素回路 20 はデジタルデータ $VDGDATA_1 \sim VDGDATA_m$ に基づいて動作（点灯又は消灯）する。そして、各画素回路 20 は TL_1 時間経過後のリセット信号 $SREST_n$ に応答して消灯動作する。

【0091】

第 1 サブフレーム SF_1 の最後の走査線 $Y_1 \sim Y_n$ 上の各画素回路 20 へのデジタルデータ $VDGDATA_1 \sim VDGDATA_m$ の供給が終了すると、走査線駆動回路 12 は第 2 サブフレーム SF_2 のための走査信号 SC_n ($SC_{n1} \sim SC_{n3}$) を順次出力し各走査線 $Y_1 \sim Y_n$ を順番に選択していく。また、走査線駆動回路 12 は、走査信号 SC_n 出力して TL_2 ($= 2 \times TL_1$) 時間経過後、リセット信号 $SREST_1 \sim SREST_n$ を出力する。

【0092】

一方、データ線駆動回路 13 は、前記と同様に、選択された走査線上の各画素回路 20 に第 2 サブフレーム SF_2 におけるデジタルデータ $VDGDATA_1 \sim VDGDATA_m$ を順次出力する。そして、選択された走査線上の各画素回路 20 は前記同様にデジタルデータ $VDGDATA_1 \sim VDGDATA_m$ に基づいて動作（点灯又は消灯）し、 TL_2 時間経過後のリセット信号 $SREST_n$ に応答して消灯動作する。

【0093】

以後、第 3 サブフレーム $SF_3 \sim$ 第 6 サブフレーム SF_6 についても、同様な動作が繰り返されて 1 フレームの画像が表現される。そして、1 フレームの画像表示動作が終了すると、次の 1 フレームのための画像表示動作が同様に行われる。

【0094】

（アナログ階調モード）

次に、アナログ階調モードについて説明する。制御回路 14 は、1 フレームの画像データ D に基づいて順番に選択される各走査線 $Y_1 \sim Y_n$ 毎に、その走査線 $Y_1 \sim Y_n$ に接続される各画素回路 20 に対するアナログデータ電圧 $VANDATA_1$

～VANDATAmを生成する。制御回路14は、その生成したアナログデータ電圧VANDATA1～VANDATAmを所定のタイミングでデータ線駆動回路13のアナログデータ電圧出力回路13bに出力する。この時、制御回路14はデータ線駆動回路13の第2スイッチQ12に対して第2制御信号SG2を出力する。又、制御回路14は、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択しその選択された走査線上の各画素回路20を制御するための走査信号SCn（SCn1～SCn3）を順番に出力させるタイミングを制御する。

【0095】

そして、走査線駆動回路12は、走査信号SCn（SCn1～SCn3）を順次出力し各走査線Y1～Ynを順番に選択していく。一方、データ線駆動回路13は、各走査線Ynが選択される毎に、その選択された走査線上の各画素回路20にアナログデータ電圧VANDATA1～VANDATAmを順次出力する。従って、選択された走査線上の各画素回路20の有機EL素子21はアナログデータ電圧VANDATA1～VANDATAmに応じた輝度で発光する。

【0096】

次に、上記のように構成した有機ELディスプレイ10の特徴を以下に記載する。

本実施形態によれば、静止画の場合にはデジタル階調で、動画の場合にはアナログ階調でその中間調を表現した。又、逆に静止画において、表示品位が要求される場合はアナログ階調で、動画の場合にはデジタル階調とすることもできる。さらには、文字表示を行う場合には、デジタル階調で、画像表示を行う場合はアナログ階調とすることもできる。言い換えると、表示品位をあまり必要としない場合には低消費電力のデジタル階調で中間調を表現し、表示品位を必要とする場合にはアナログ階調で中間調を表現した。

【0097】

従って、有機ELディスプレイ10は、低消費電力と十分な表示品位を両立することができる。

（第2実施形態）

次に、本発明の第2実施形態について図6に従って説明する。本実施形態は、電子回路又は単位回路としての画素回路20が第1実施形態と相違する。従って、その相違する部分について詳細に説明する。

【0098】

図6に示すように、本実施形態の画素回路20は、第1実施形態と相違して補償用トランジスタQ4、開始用トランジスタQ5及びコンデンサC2を省略している。つまり、駆動用トランジスタQ1のドレインは有機EL素子21の陽極に接続され、その有機EL素子21の陰極は接地されている。駆動用トランジスタQ1のソースは、電源電圧V_{OEL}が供給される電源線L1に接続されている。駆動用トランジスタQ1のゲートと電源線L1との間には、保持キャパシタC1が接続されている。

【0099】

さらに、駆動用トランジスタQ1のゲートは、スイッチング用トランジスタQ2を介して前記データ線X_mに接続されている。スイッチング用トランジスタQ2のゲートは、走査線Y_nを構成する第1の副走査線Y_{n1}に接続され、その第1の副走査線Y_{n1}から第1走査信号S_{Cn1}が入力される。リセット用トランジスタQ3は、前記保持キャパシタC1に対して並列に接続されている。リセット用トランジスタQ3のゲートは、前記走査線Y_nを構成する第4の副走査線Y_{n4}に接続され、その第4の副走査線Y_{n4}からリセット信号S_{RESTn}が入力される。

【0100】

従って、本実施形態では、走査線Y_nは、第1の副走査線Y_{n1}と第4の副走査線Y_{n4}で構成され、第2の副走査線Y_{n2}と第3の副走査線Y_{n3}が省略されている。

【0101】

この画素回路20において、デジタル階調を行なう場合、第1の副走査線Y_{n1}に走査信号S_{Cn1}が出力されると、スイッチング用トランジスタQ2がオン状態となる。スイッチング用トランジスタQ2がオン状態となると、データ線X_mに介してデジタルデータ電圧出力回路13aから「Lレベル」又は「Hレベル

」のいずれかの値となるデジタルデータ VDGDATAm に応じた電荷量が前記保持キャパシタ C1 に蓄積される。

【0102】

駆動用トランジスタ Q1 は、蓄積されるデジタルデータ VDGDATAm の内容に基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動用トランジスタ Q1 がオン状態のとき、有機 EL 素子 21 は駆動電流が供給され発光する。反対に、駆動用トランジスタ Q1 がオフ状態のとき、有機 EL 素子 21 は駆動電流の供給が遮断され発光を停止する。

【0103】

次に、第4の副走査線 Yn4 にリセット信号 SRESTn が出力されると、リセット用トランジスタ Q3 がオフ状態からオン状態となる。リセット用トランジスタ Q3 がオン状態となると、電源線 L1 から電源電圧 VOEL が同リセット用トランジスタ Q3 を介して前記保持キャパシタ C1 に印加され先のデジタルデータ VDGDATAm は消去されるとともに、駆動用トランジスタ Q1 のゲートは電源電圧 VOEL の電位となる。つまり、保持キャパシタ C1 はリセットされる。

【0104】

従って、前記実施形態と同様な時分割階調を行なう時、各画素回路 20 の有機 EL 素子 21 の発光期間 TL1~TL6 は、走査信号 SCn1 が出力されてからリセット信号 SRESTn が出力されるまでの間が発光期間となる。

【0105】

一方、画素回路 20 において、駆動用トランジスタ Q1 のゲート・ソース間電圧を同トランジスタ Q1 の閾値電圧にして駆動する方式のアナログ階調を行う場合、リセット信号 SRESTn に基づいてリセット用トランジスタ Q3 が非導通状態に保持される。そして、スイッチング用トランジスタ Q2 を所定のタイミングでオン・オフ制御する第1走査信号 SCn1 を出力することによってアナログ階調による中間調を表現するようになっている。

【0106】

つまり、第1の副走査線 Yn1 に走査信号 SCn1 が出力されると、スイッチング用トランジスタ Q2 はオン状態となる。スイッチング用トランジスタ Q2 が

オン状態となると、データ線 X_m に介してアナログデータ電圧出力回路 13b から供給されたアナログデータ電圧 $V_{ANDATAm}$ に応じた電荷量が前記保持キャパシタ C_1 に蓄積される。駆動用トランジスタ Q_1 は、この保持キャパシタ C_1 に蓄積されたアナログデータ電圧 $V_{ANDATAm}$ の値に応じた導通状態となる。その駆動用トランジスタ Q_1 の導通状態に応じた駆動電流が有機 EL 素子 21 に供給される。有機 EL 素子 21 はアナログデータ電圧 $V_{ANDATAm}$ に応じた輝度で発光する。

【0107】

本実施形態の画素回路 20 においても、静止画の場合にはデジタル階調で、動画の場合にはアナログ階調でその中間調を表現することができる。又、逆に静止画において、表示品位が要求される場合はアナログ階調で、動画の場合にはデジタル階調とすることもできる。さらには、文字表示を行う場合には、デジタル階調で、画像表示を行う場合はアナログ階調とすることもできる。言い換えると、表示品位をあまり必要としない場合には低消費電力のデジタル階調で中間調を表現し、表示品位を必要とする場合にはアナログ階調で中間調を表現することができる。従って、本実施形態の画素回路 20 にて構成された有機 EL ディスプレイ 10 においても、低消費電力と十分な表示品位を両立することができる。

【0108】

(第3実施形態)

次に、本発明の第3実施形態について図7に従って説明する。本実施形態は、電子回路又は単位回路としての画素回路 20 が第1実施形態と相違する。従って、その相違する部分について詳細に説明する。

【0109】

図7に示すように、本実施形態の画素回路 20 は、第1実施形態と相違して補償用トランジスタ Q_4 及び開始用トランジスタ Q_5 を省略している。つまり、駆動用トランジスタ Q_1 のドレインは有機 EL 素子 21 の陽極に接続され、その有機 EL 素子 21 の陰極は接地されている。駆動用トランジスタ Q_1 のソースは、電源電圧 V_{OEL} が供給される電源線 L_1 に接続されている。駆動用トランジスタ Q_1 のゲートと電源線 L_1 との間には、保持キャパシタ C_1 が接続されている。

【0110】

又、駆動用トランジスタQ1のゲートは、スイッチング用トランジスタQ2を介して前記データ線Xmに接続されている。スイッチング用トランジスタQ2のゲートは、走査線Ynを構成する第1の副走査線Yn1に接続され、その第1の副走査線Yn1から第1走査信号SCn1が入力される。

【0111】

さらに、リセット用トランジスタQ3は、そのソースが前記電源線L1に接続されているとともに、ゲートが前記走査線Ynを構成する第4の副走査線Yn4に接続されている。又、リセット用トランジスタQ3のドレインは、Pチャネルのトランジスタよりなる補償用トランジスタQ6のソースに接続されている。補償用トランジスタQ6のドレインは、前記駆動用トランジスタQ1のゲートに接続されている。又、補償用トランジスタQ6は、そのゲートとドレインが互いに接続、即ちダイオード接続されている。

【0112】

この画素回路20において、デジタル階調を行なう場合、リセット用トランジスタQ3がオフ状態において、第1の副走査線Yn1にHレベルの走査信号SCn1が出力されると、スイッチング用トランジスタQ2がオン状態となる。スイッチング用トランジスタQ2がオン状態となると、データ線Xmに介してデジタルデータ電圧出力回路13aから「Lレベル」又は「Hレベル」のいずれかの値となるデジタルデータVDGDATA_mに応じた電荷量が前記保持キャパシタC1に蓄積される。

【0113】

駆動用トランジスタQ1は、蓄積されるデジタルデータVDGDATA_mの内容に基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動用トランジスタQ1がオン状態のとき、有機EL素子21は駆動電流が供給され発光する。反対に、駆動用トランジスタQ1がオフ状態のとき、有機EL素子21は駆動電流の供給が遮断され発光を停止する。

【0114】

次に、第4の副走査線Yn4にリセット信号SREST_nが出力されると、リセッ

ト用トランジスタQ3がオフ状態からオン状態となる。リセット用トランジスタQ3がオン状態となると、電源線L1から電源電圧VOELが同リセット用トランジスタQ3を介し補償用トランジスタQ6に印加され、補償用トランジスタQ6がオンされる。補償用トランジスタQ6がオンされることにより、駆動用トランジスタQ1のゲート電圧は、電源電圧VOELから補償用トランジスタQ6の閾値電圧分を引いた電圧となる。つまり、デジタルデータVDGDATA_mの内容に基づいて駆動用トランジスタQ1がオンし有機EL素子21は駆動電流が供給され発光している場合は、駆動用トランジスタQ1のゲート電圧は上昇する。すなわち、保持キャパシタC1はリセットされ、駆動用トランジスタQ1はオフし有機EL素子21は発光を停止する。

【0115】

従って、前記実施形態と同様な時分割階調を行なう時、各画素回路20の有機EL素子21の発光期間TL1~TL6は、走査信号SC_{n1}が出力されてからリセット信号SREST_nが出力されるまでの間が発光期間となる。

【0116】

一方、画素回路20において、駆動用トランジスタQ1のゲート・ソース間電圧を同トランジスタQ1の閾値電圧にして駆動する方式のアナログ階調を行う場合、まず、第1の副走査線Y_{n1}に走査信号SC_{n1}が出力されると、スイッチング用トランジスタQ2はオン状態となる。この時、この時データ線X_mにかかっているバイアス電圧(=VOEL)が、スイッチング用トランジスタQ2を介してコンデンサC2に印加される。

【0117】

続いて、第4の副走査線Y_{n4}にHレベルのリセット信号SREST_nを出力して、リセット用トランジスタQ3をオン状態にする。リセット用トランジスタQ3がオン状態となると、電源電圧VOELが同リセット用トランジスタQ3を介し補償用トランジスタQ6に印加される。これにより、補償用トランジスタQ6がオンされることにより、駆動用トランジスタQ1のゲート電圧は、補償用トランジスタQ6の閾値電圧(V_{th})まで押し上げられると、駆動用トランジスタQ1はオフする。

【0118】

次に、リセット信号 S_{RESTn} が消失すると、リセット用トランジスタ Q_3 はオフ状態となる。この時点で、駆動用トランジスタ Q_1 は、ゲートにかかる電圧 $V_g (= V_{OEL} - V_{th})$ が保持される。

【0119】

駆動用トランジスタ Q_1 のゲートに電圧 $V_g (= V_{OEL} - V_{th})$ が保持されると、データ線 X_m からアナログデータ電圧 $V_{ANDATAm}$ ($< V_{OEL}$) が供給される。このとき、駆動用トランジスタ Q_1 及びリセット用トランジスタ Q_3 はオフ状態となっているため、コンデンサ C_2 の駆動用トランジスタ Q_1 のゲート側はフローティング状態にある。その結果、コンデンサ C_2 と保持キャパシタ C_1 の容量カップリングによって、駆動用トランジスタ Q_1 のゲートに電圧 V_g は、アナログデータ電圧 $V_{ANDATAm}$ に応じて下がる。

【0120】

この状態で、第1の副走査線 Y_{n1} の走査信号 S_{Cn1} が消失してスイッチング用トランジスタ Q_2 がオフする。スイッチング用トランジスタ Q_2 のオフによって、コンデンサ C_2 はフローティング状態となり、駆動用トランジスタ Q_1 のゲートに電圧 V_g は、アナログデータ電圧 $V_{ANDATAm}$ に応じて下がった電位に保持される。

【0121】

これによって、駆動用トランジスタ Q_1 は、このアナログデータ電圧 $V_{ANDATAm}$ の値に応じた導通状態となり、そのアナログデータ電圧 $V_{ANDATAm}$ に応じた駆動電流が有機EL素子21に供給される。有機EL素子21はアナログデータ電圧 $V_{ANDATAm}$ に応じた輝度で発光する。そして、次の発光動作まで発光する。

【0122】

本実施形態の画素回路20においても、静止画の場合にはデジタル階調で、動画の場合にはアナログ階調でその中間調を表現することができる。又、逆に静止画において、表示品位が要求される場合はアナログ階調で、動画の場合にはデジタル階調とすることもできる。さらには、文字表示を行う場合には、デジタル階調で、画像表示を行う場合はアナログ階調とすることもできる。言い換えると、

表示品位をあまり必要としない場合には低消費電力のデジタル階調で中間調を表現し、表示品位を必要とする場合にはアナログ階調で中間調を表現することができる。従って、本実施形態の画素回路 20 にて構成された有機 EL ディスプレイ 10 においても、低消費電力と十分な表示品位を両立することができる。

【0123】

(第4実施形態)

次に、第1実施形態で説明した電気光学装置としての有機 EL ディスプレイ 10 を搭載した電子機器の適用について図8及び図9に従って説明する。有機 EL ディスプレイ 10 は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【0124】

図8は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図8において、パーソナルコンピュータ 60 は、キーボード 61 を備え本体部 62 と、前記有機 EL ディスプレイ 10 を用いた表示ユニット 63 を備えている。この場合でも、有機 EL ディスプレイ 10 を用いた表示ユニット 63 は前記実施形態と同様な効果を発揮する。その結果、パーソナルコンピュータ 60 は、低消費電力と十分な表示品位の両立を実現することができる。

【0125】

図9は、携帯電話の構成を示す斜視図を示す。図9において、携帯電話 70 は、複数の操作ボタン 71、受話口 72、送話口 73、前記有機 EL ディスプレイ 10 を用いた表示ユニット 74 を備えている。この場合でも、有機 EL ディスプレイ 10 を用いた表示ユニット 74 は前記実施形態と同様な効果を発揮する。その結果、携帯電話 70 は、低消費電力と十分な表示品位の両立を実現することができる。

【0126】

尚、本発明の実施形態は、以下のように変更してもよい。

○前記第1～第3実施形態では、図1、図6及び図7に示すように、デジタルデータ VDGDATA_m 及びアナログデータ電圧 VANDATA_m を共通のスイッチング用トランジスタ Q2 を介して保持キャパシタ C1 に供給した。これを図10、図11及

び図12に示すように、データ線 X_m を第1副データ線 X_{m1} と第2副データ線 X_{m2} で構成する。第1副データ線 X_{m1} はデジタルデータ電圧出力回路13aを第1スイッチ Q_{11} を介して接続する。第2副データ線 X_{m2} はアナログデータ電圧出力回路13bを第2スイッチ Q_{12} を介して接続する。そして、第1副データ線 X_{m1} と第1スイッチング用トランジスタ Q_{2a} と接続し、第2副データ線 X_{m2} と第2スイッチング用トランジスタ Q_{2b} と接続する。

【0127】

このように構成して、第1スイッチング用トランジスタ Q_{2a} をオンさせて、デジタルデータ電圧出力回路13aからのデジタルデータ $VDGDATA_m$ を保持キャパシタ C_1 に供給させる。又、第2スイッチング用トランジスタ Q_{2b} をオンさせて、アナログデータ電圧出力回路13bを保持キャパシタ C_1 に供給させる。

【0128】

つまり、デジタルデータ $VDGDATA_m$ 及びアナログデータ電圧 $VANDATA_m$ をそれぞれ異なる第1スイッチング用トランジスタ Q_{2a} と第2スイッチング用トランジスタ Q_{2b} を介して保持キャパシタ C_1 に供給するようにしてもよい。

【0129】

この場合にもそれぞれ前記第1～第3実施形態と同様な効果を有する。

○前記第1実施形態では、デジタル階調について順次選択される一つの走査線に対応した画素回路20に2値のデータ電圧を書き込むと同時に2値のデータ電圧に応じた電流レベルの電流を有機EL素子21に供給開始し、所定時間後に有機EL素子21への電流供給を遮断するといった時分割階調で行った。これに代えて同時点灯法を用いた時分割階調で実施してもよい。さらに、デジタル階調の一つとして、面積階調で実施してもよい。つまり、画素回路20をサブ画素としてそのサブ画素の複数個を組にする。そして、デジタル階調を行う場合、その組に属するサブ画素の適宜の数をそれぞれ非発光、発光の2つの状態に制御することによって中間調を表現するようにしてもよい。

【0130】

○前記第1実施形態では、リセット用トランジスタ Q_3 にゲートに第4の副走査線 Y_{n4} を介してリセット信号 $SREST_n$ を入力させて、時分割階調での保持キ

ャパシタ C 1 に保持した 2 値のデータ電圧 $VDGDATA_m$ をリセットさせた。

【0131】

これを、第 4 の副走査線 Y_{n4} を省略する。また、リセット用トランジスタ Q 3 を N チャネル FET から P チャネル FET に変更し、その P チャネル FET に変更したリセット用トランジスタ Q 3 のゲートを前記第 1 の副走査線 Y_{n1} に接続する。そして、第 1 の副走査線 Y_{n1} に出力する第 1 走査信号 SC_{n1} を 3 値の信号にする。つまり、第 1 走査信号 SC_{n1} は、スイッチング用トランジスタ Q 2 のみを導通状態にするプラス電位、スイッチング用トランジスタ Q 2 及びリセット用トランジスタ Q 3 をともに非導通状態にする 0 電位、リセット用トランジスタ Q 3 のみを導通状態にするマイナス電位となる信号である。

【0132】

従って、この場合にも前記と同様な効果を奏するとともに、第 4 の副走査線 Y_{n4} を省略した分だけ、回路規模を小型化できるとともに、画素回路 20 の開口率を上げることができる。

【0133】

○前記第 1 実施形態では、時分割階調において、リセット用トランジスタ Q 3 を使って所定時間後リセットした。これを、以下に説明する時分割階調方法にも応用してもよい。即ち、全ての画素回路 20 にデータ電圧を書き込む際、有機 EL 素子 21 の対向電極（陰極）側に逆バイアス電圧を印加した状態で行う。データ電圧の書き込み終了後、有機 EL 素子 21 の対向電極側に順バイアス電圧を印加して、前記データ電圧に応じた電流レベルを有する電流を供給する。そして、所定期間経過後、再び逆バイアス電圧を有機 EL 素子 21 の対向電極側に印加してリセットする。

【0134】

○前記実施形態では、電子回路として画素回路 20 に具体化して好適な効果を得たが、有機 EL 素子 21 以外の例えば LED や FED 等の発光素子を駆動する電子回路に具体化してもよい。

【0135】

○前記実施形態では、有機 EL 素子 21 について具体化したが、無機 EL 素子

に具体化してもよい。つまり、無機EL素子からなる無機ELディスプレイに応用しても良い。

【0136】

【発明の効果】

本発明によれば、低消費電力と十分な表示品位の両立を図ることができる。

【図面の簡単な説明】

【図1】

第1実施形態を説明するための有機ELディスプレイの回路構成を示すブロック回路図。

【図2】

同じく画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【図3】

本実施形態の時分割諧調を説明するための説明図。

【図4】

時分割諧調における走査線の選択を説明するためのタイミングチャート。

【図5】

アナログ階調における走査線の選択を説明するためのタイミングチャート。

【図6】

第2実施形態の画素回路を説明するための回路図。

【図7】

第3実施形態の画素回路を説明するための回路図。

【図8】

第4実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図。

【図9】

第4実施形態を説明するための携帯電話の構成を示す斜視図。

【図10】

第1実施形態の画素回路の別例を説明するための回路図。

【図11】

第 2 実施形態の画素回路の別例を説明するための回路図。

【図 1 2】

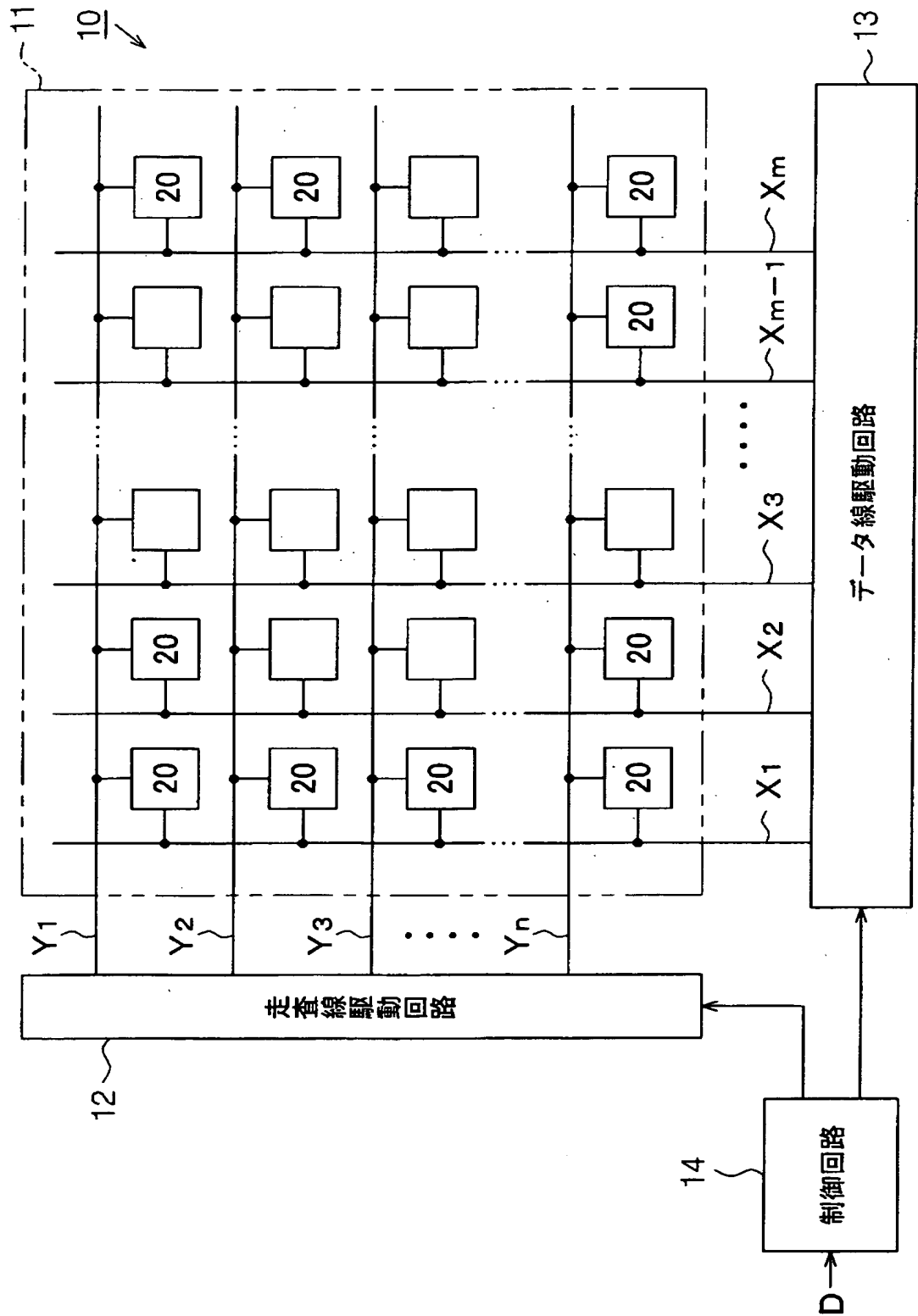
第 3 実施形態の画素回路の別例を説明するための回路図。

【符号の説明】

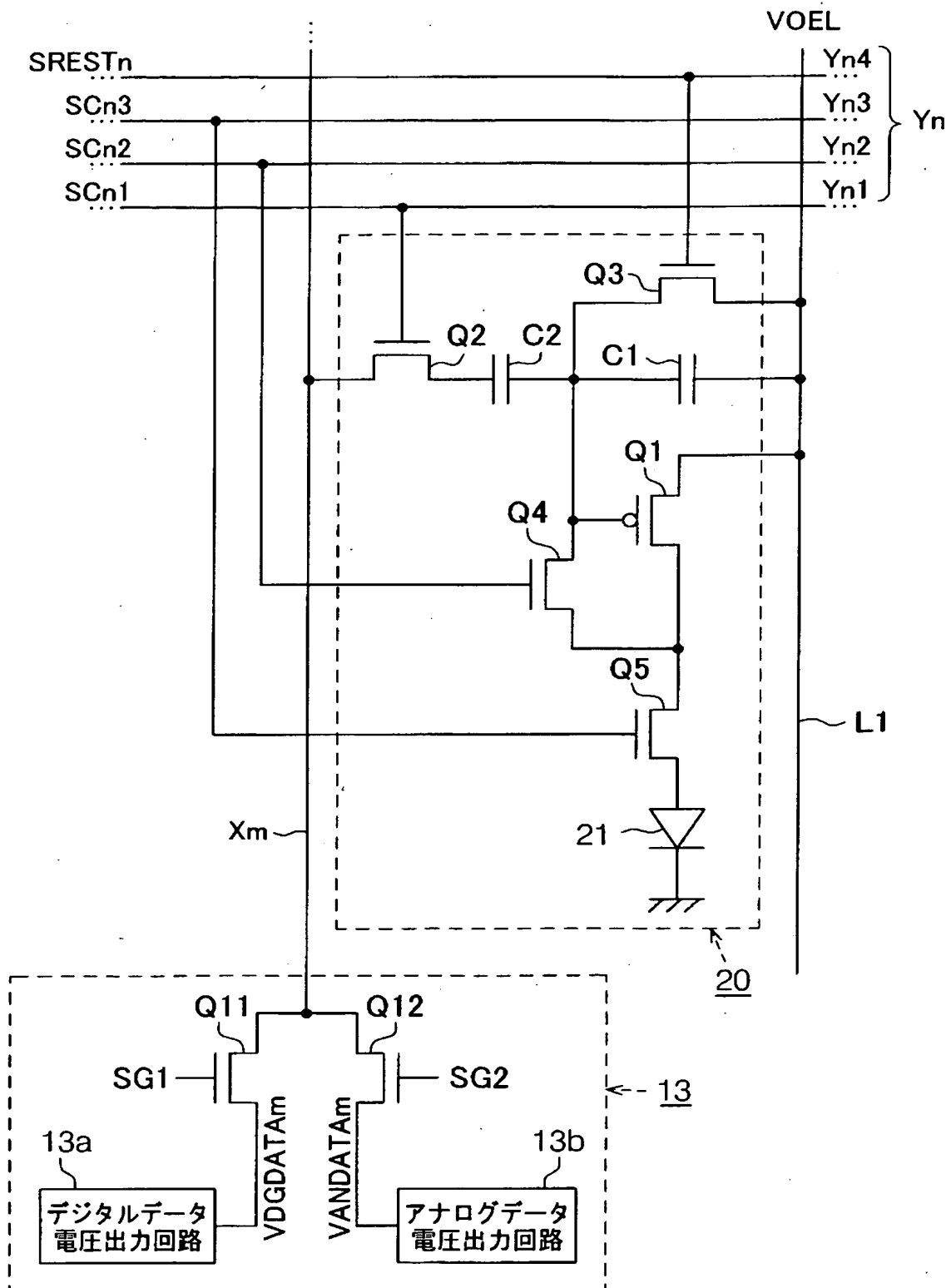
- 1 0 電気光学装置としての有機 E L ディスプレイ
- 1 1 表示パネル部
- 1 2 データ線駆動回路
- 1 3 走査線駆動回路
- 1 4 制御手段としての制御回路
- 2 0 電子回路又は単位回路としての画素回路
- 2 1 電子素子又は電気光学素子としての有機 E L 素子
- 6 0 電子機器としてのパーソナルコンピュータ
- 7 0 電子機器としての携帯電話
- 1 3 a 第 1 の出力回路としてのデジタルデータ電圧電流出力回路
- 1 3 b 第 2 の出力回路としてのアナログデータ電圧出力回路
- Q 1 第 2 のトランジスタとしての駆動用トランジスタ
- Q 2 第 1 のトランジスタとしてのスイッチング用トランジスタ
- Q 3 第 3 のトランジスタとしてのリセット用トランジスタ
- Q 4 第 4 のトランジスタとしての補償用トランジスタ
- Q 5 第 5 のトランジスタとしての開始用トランジスタ
- C 1 容量素子としての保持キャパシタ
- Y 1 ~ Y n 走査線
- X 1 ~ X m データ線
- S C n 走査信号
- VDGDATA1 ~ VDGDATAm 2 値のデータ電圧としてのデジタルデータ
- VANDATA1 ~ VANDATAm 多値のデータ電圧としてのアナログデータ電圧

【書類名】 図面

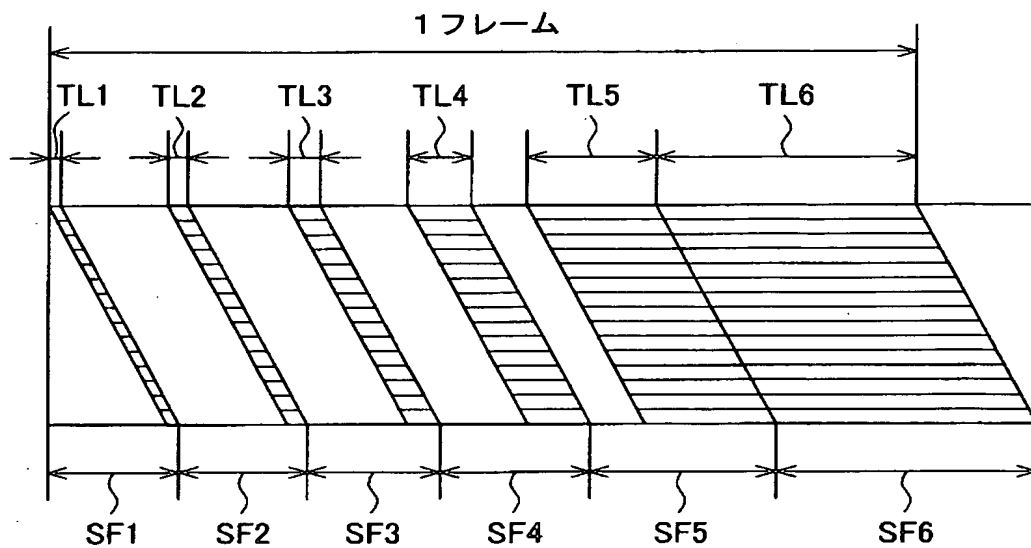
【図 1】



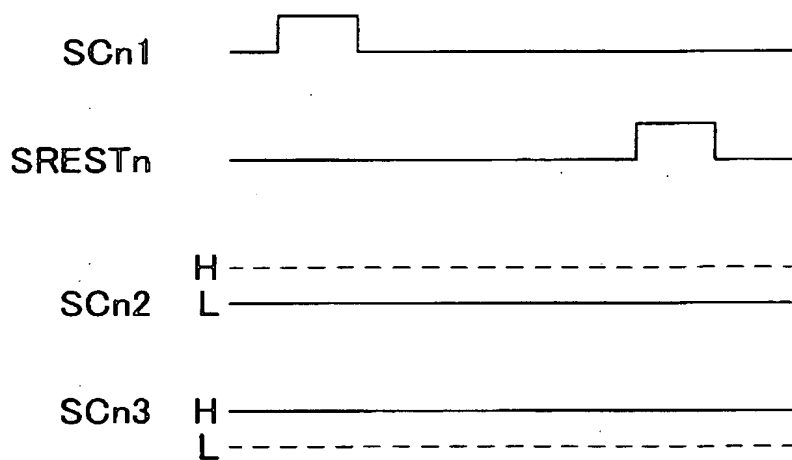
【図 2】



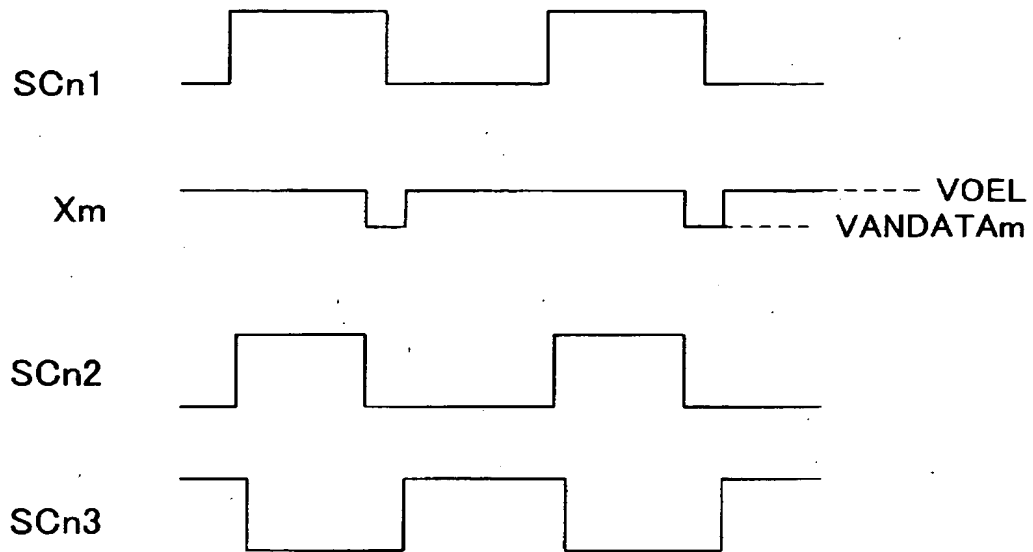
【図 3】



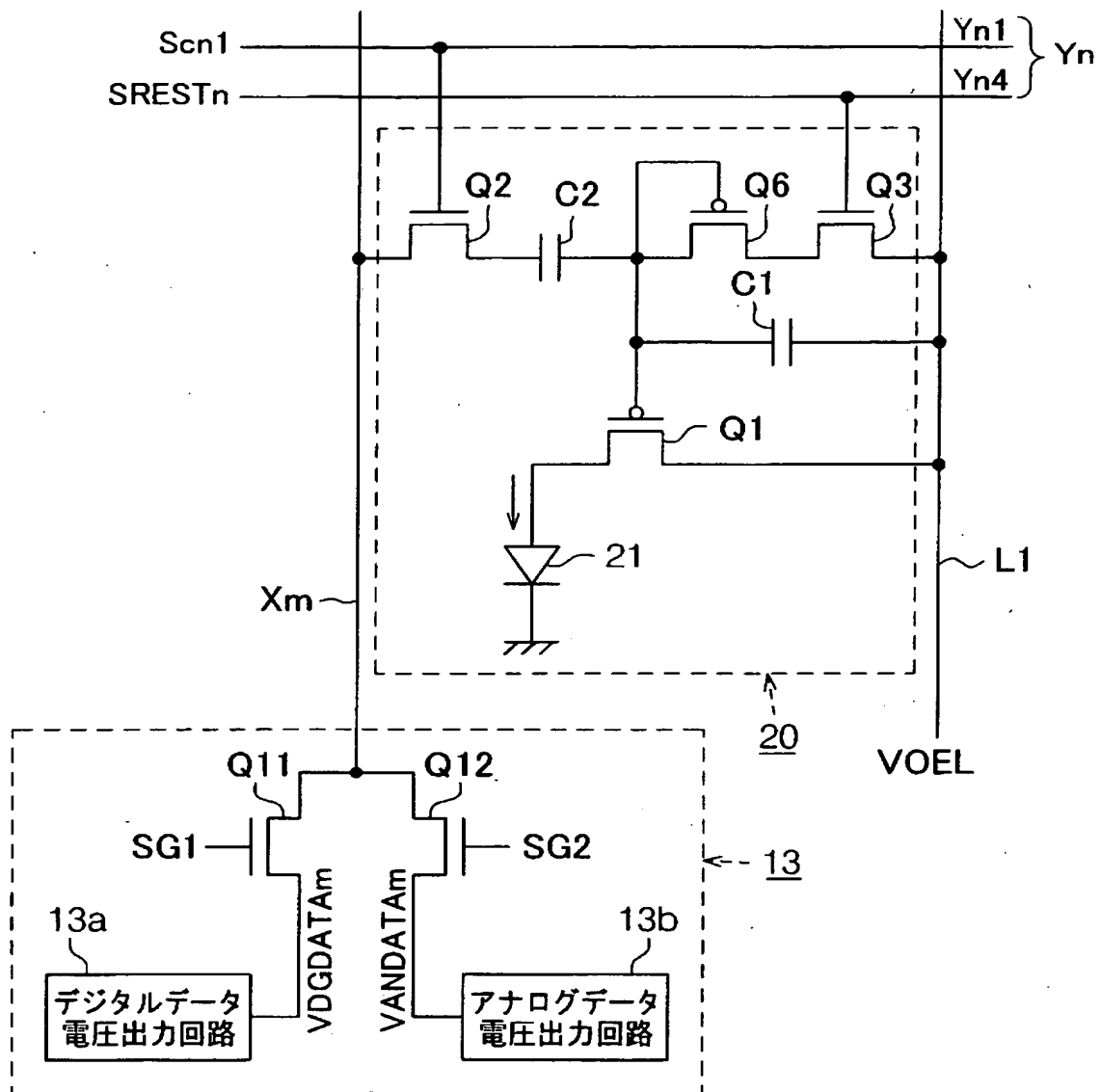
【図 4】



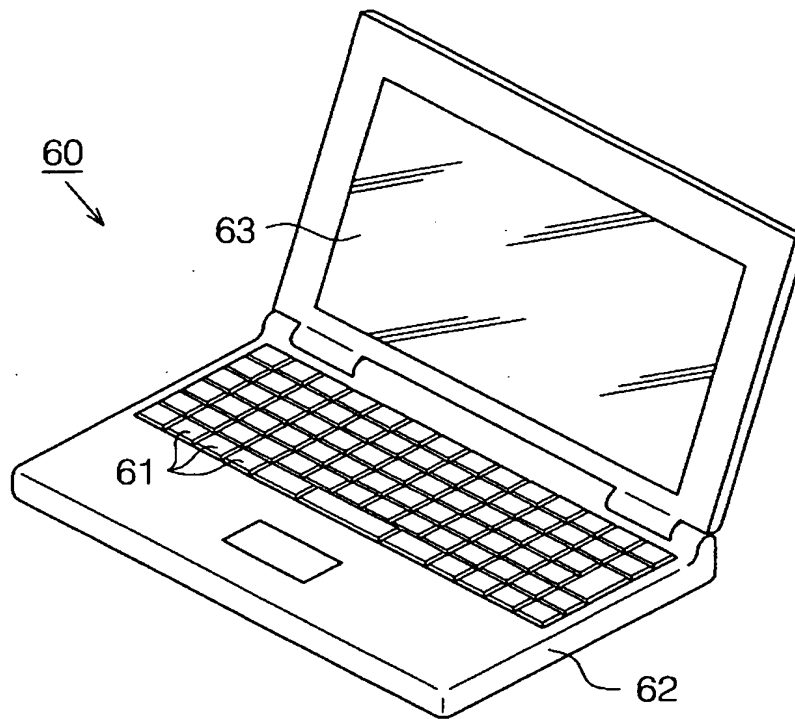
【図 5】



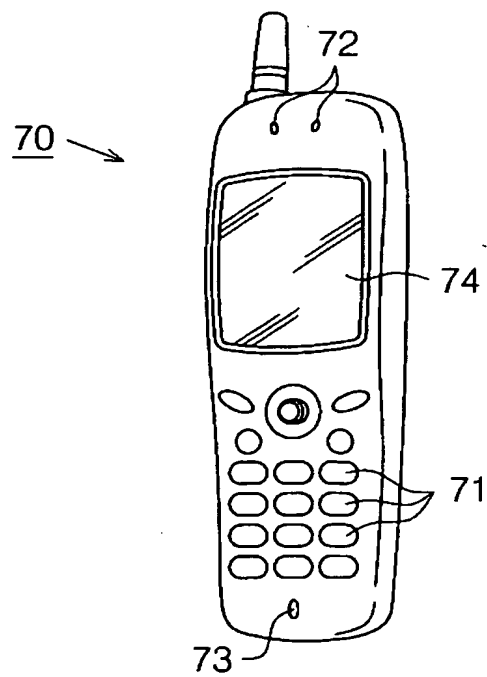
【圖 7】



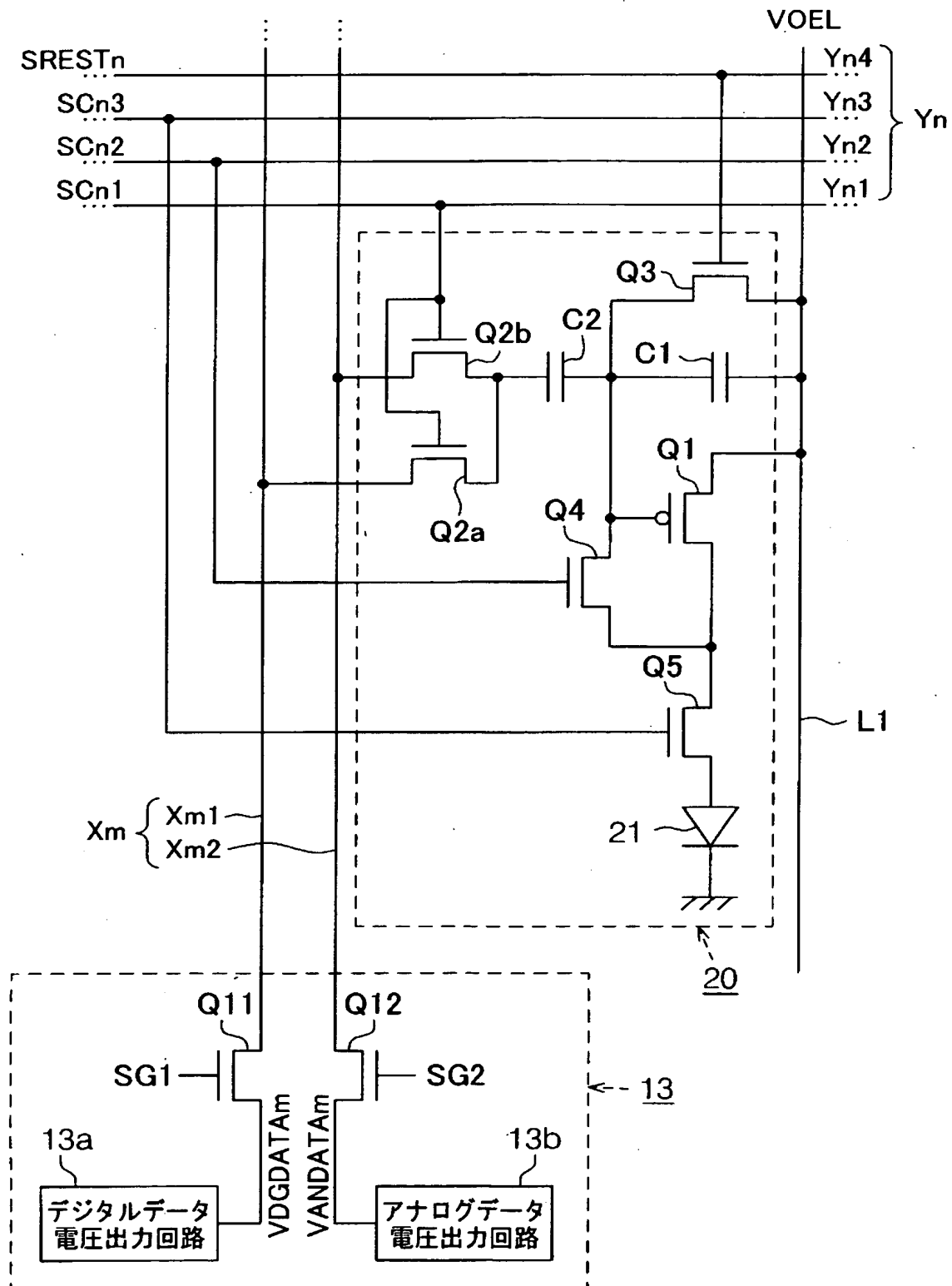
【図 8】



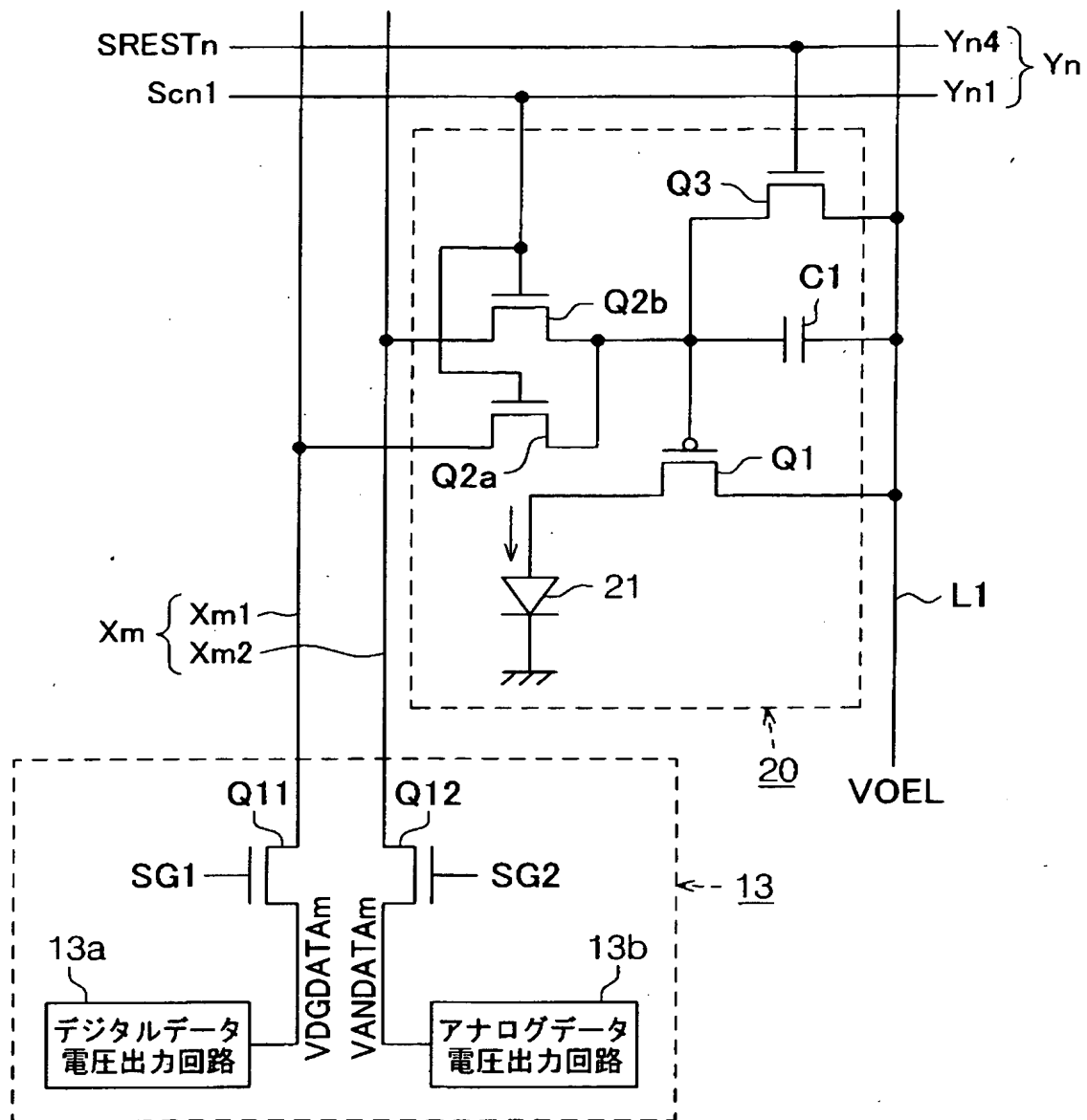
【図 9】



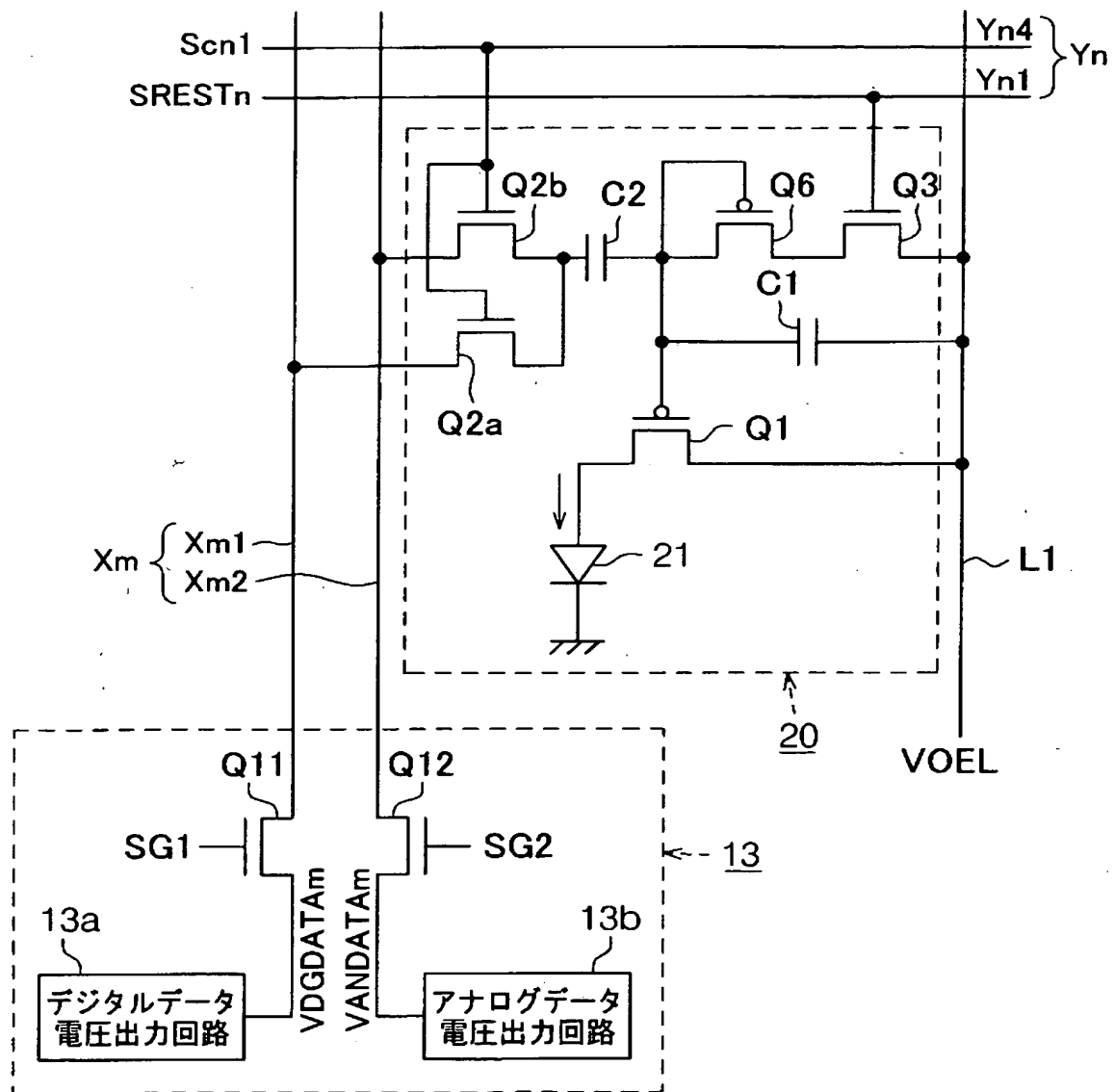
【図 10】



【図 11】



【図 1.2】



【書類名】 要約書

【要約】

【課題】 低消費電力と十分な表示品位との両立を図ることができる電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器を提供する。

【解決手段】 走査線 Y_n とデータ線 X_m との交差部に対応して設けられた画素回路 20 の有機 EL 素子 21 はデータ線 X_m を介して供給されるデジタルデータ $VDGDATA_m$ 又はアナログデータ電圧 $VANDATA_m$ に応じた駆動電流が供給される。そして、低消費電力化を図るためにデジタル階調で中間調を制御するときにはデジタルデータ $VDGDATA_m$ が画素回路 20 に供給される。また、表示品位をあげるためにアナログ階調で中間調を制御するときにはアナログデータ電圧 $VANDATA_m$ が画素回路 20 に供給される。

【選択図】 図 2

特願 2 0 0 2 - 2 3 0 2 9 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社